ULISES V5000i V2.6.X

Manual Hardware

CD40-CGW-N21A Manual de Usuario

N021A-CGW.MANUAL ****

REGISTRO Y CONTROL DEL DOCUMENTO

|  |  |
| --- | --- |
| Proyecto / Equipo | ULISES V5000i V2.6.X |
| **Documento** | CD40-CGW-N21A Manual de Usuario |
| **Referencia** |  |
| **Código** | N021A-CGW.MANUAL |
| **Fecha** | 17/12/2012 |

|  |  |  |  |
| --- | --- | --- | --- |
| Elaborado  Juan José Alonso | Visado  Antonio Lozano | Visado | Aceptado |
| Firma: | Firma: | Firma: | Firma: |
| Fecha: 17/12/2012 | Fecha: | Fecha: | Fecha: |

REGISTRO DE MODIFICACIONES

|  |  |  |  |
| --- | --- | --- | --- |
| **R** | **Fecha** | **Descripción** | **Autor** |
| 1 | 17/12/2012 | Edición Original | J.J.Alonso |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

Lista de Distribución

|  |  |  |  |
| --- | --- | --- | --- |
| **N** | **Fecha** | **Nombre** | **Firma** |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

ÍNDICE

[1. INTRODUCCIÓN 8](#_Toc66344766)

[2. DESCRIPCIÓN FUNCIONAL 9](#_Toc66344767)

[3. OPERACIÓN 12](#_Toc66344768)

[3.1. LEDS 12](#_Toc66344769)

[4. CONFIGURACIÓN 14](#_Toc66344770)

[4.1. JUMPERS 14](#_Toc66344771)

[5. CONEXIONADO 15](#_Toc66344772)

[5.1. CONECTOR P1 15](#_Toc66344773)

[5.2. PUERTO DE MANTENIMIENTO 15](#_Toc66344774)

[5.3. PUERTO JTAG 16](#_Toc66344775)

[5.4. PUERTO DSP TEST 16](#_Toc66344776)

[6. ESPECIFICACIONES 17](#_Toc66344777)

[7. GLOSARIO DE TÉRMINOS. 18](#_Toc66344778)

ÍNDICE DE FIGURAS

[Figura 1. Tarjeta CGW con módulo SML 8](#_Toc66344793)

[Figura 2. Diagrama de bloques de la tarjeta CGW 9](#_Toc66344794)

[Figura 3. Vista frontal CGW 12](#_Toc66344795)

[Figura 4. Pinout Puerto Mantenimiento 15](#_Toc66344796)

ÍNDICE DE TABLAS

[Tabla 1. Mapa Conector P1 15](#_Toc66344779)

[Tabla 2. Pinout Puerto Mantenimiento (J3) 16](#_Toc66344780)

[Tabla 3. Pinout Puerto JTAG (P2) 16](#_Toc66344781)

[Tabla 4. Pinout Puerto DSP Test (P3) 16](#_Toc66344782)

# INTRODUCCIÓN

La tarjeta CGW-CD40-N021A es la unidad maestra de la pasarela. Ofrece la interfaz con la doble LAN al sistema y el control de las unidades esclavas.

Esta unidad dispone de dos conectores sobre los que irá insertada otra tarjeta denominada SML que es donde realmente está la unidad CPU del sistema.



Figura . Tarjeta CGW con módulo SML

Esta tarjeta, cuyas medidas son 100mm x 220mm, irá insertada en en bastidor de 19 pulgadas y 3 unidades de altura.

# DESCRIPCIÓN FUNCIONAL

A continuación se muestra el diagrama de bloques de la tarjeta CGW:



Figura . Diagrama de bloques de la tarjeta CGW

La descripción de esta unidad, es la siguiente:

La unidad se alimenta con 24 V DC (con negativo a masa).

El regulador principal de alimentación de la tarjeta convierte los 24V DC de continua a 3.3V DC que alimentará distintos circuitos integrados de la tarjeta. Este regulador está constituido por el módulo MOD1 y sus componetes discretos asociados. Además dispone de un interruptor lento formado principalmente por el transistor MOSFET Q1 que hace que la corriente que alimenta la tarjeta se eleve de forma gradual. La corriente se estabiliza tan solo en unos pocos milisegundos.

La alimentación de 3.3V a la salida del convertidor MOD1, sirve a su vez para generar las alimentaciones de 2.5V y 1.2V necesarias para alimentar el resto de circuitos integrados de la tarjeta.

El regulador U2 convierte los 3.3V en 2.5V y el U1 en 1.2V.

Las alimentaciones de 3.3V y 1.2V están monitorizadas por el circuito integrado U19 que en caso de sufrir una bajada de tensión por debajo de cierto límite, se producirá un reset automático de la tarjeta.

El reset también se puede provocar de forma manual actuando sobre el pulsador S1.

El corazón de la unidad CGW es la tarjeta SML que a su vez dispone de un mircroprocesador cuya arquitectura está basada en la familia de procesadores PowerQuicc II (82xx) de Freescale.

En concreto se trata de la generación de microcontroladores MPC8270/MPC8275/MPC8280 fabricados en tecnología Hip7 (HiperMOS7 0,13 micras ) que permite una alta escala de integración, en un encapsulado de reducidas dimensiones debido básicamente a su bajo consumo energético sin penalizar por ello las frecuencias máxima de trabajo.

El microcontrolador combina el trabajo de un núcleo PowerPC 603e™ ( 266 Mhz ) con un potente Módulo Procesador de Comunicaciones ( CPM - 200 Mhz ) basado en arquitectura RISC, encargado de resolver las tareas de comunicaciones incluyendo entre otros los puertos 10/100 Mbps Ethernet.

Existen en el entorno del procesador PQII dos buses de memoria uno de ellos el principal utilizado por el núcleo PowerPC 603e™ a 66 Mhz equipado en placa con *64 Mbytes* de memoria [SDRAM](http://download.micron.com/pdf/datasheets/dram/sdram/256MbSDRAMx32.pdf) y *32 Mbytes* de memoria Flash, y un segundo bus de memoria denominado Bus Local también a 66 Mhz, equipado con *32 Mbytes* de memoria [SDRAM](http://download.micron.com/pdf/datasheets/dram/sdram/256MbSDRAMx32.pdf) y asignado al CPM , accesible también desde el PowerPC que permite un trabajo en paralelo de ambos procesadores y cooperativo a la hora de transferir los datos a los dispositivos de comunicaciones.

El bloque de lógica programable reside en una CPLD de la familia [xc9500xl](http://www.xilinx.com/support/documentation/xc9500xl.htm) de la firma Xilinx, cuya función básica consiste en la configuración de arranque del procesador PQII, de modo que al salir del estado de Reset, encuentre en esta pieza de lógica programable los registros de configuración BCSR (board configuration and status registers) que definen el modo de trabajo del procesador.

El bloque generador de relojes proporciona mediante [el buffer de reloj](http://focus.ti.com/docs/prod/folders/print/cdcvf2310.html) las señales de reloj a partir del oscilador maestro para el funcionamiento sincronizado del procesador PQII con los bancos de memoria síncronos, el bloque de lógica programable y con los dispositivos periféricos a través del bus de expansión.

El CPM ofrece los siguientes servicios de comunicaciones:

* 3 Fast Ethernet Controllers 2 de ellos equipados en placa (10/100 Mbps),
* 1 Multichannel Controller Transparent/HDLC hasta 128 canales de 64 Kbps,
* 4 Serial Communication Controllers, SCC,
* 2 Serial Management Controllers, SMC,
* 1 USB 2.0, no usado en la aplicación,
* 1 bus [MDIO](http://en.wikipedia.org/wiki/Management_Data_Input/Output) ,
* 1 bus [SPI](http://en.wikipedia.org/wiki/Serial_Peripheral_Interface_Bus) ,
* 4 buses TDM hasta 128 canales cada uno ( Time Division Multiplexing)

El bloque de procesado digital de señal, está realizado mediante un procesador U15 de la familia [TMS320C67x+](http://focus.ti.com/paramsearch/docs/parametricsearch.tsp?family=dsp&sectionId=2&tabId=135&familyId=327&paramCriteria=no)™ de la firma Texas Instruments. Se trata de un procesador basado en la CPU C674x de Coma Flotante, cuyo consumo es inferior a la de cualquier otro procesador de la familia TMS32C6000™.

Para la alimentación de 1.2V que usa el DSP existe un regulador independiente (U4) que convierte los 3.3V en 1.2V.

Para el DPS, las alimentaciones de 3.3V y 1.2V también están monitorizadas por el circuito integrado U18 que en caso de sufrir una bajada de tensión por debajo de cierto límite, se producirá un reset automático del DSP. El reset también se puede provocar de forma manual actuando sobre el jumper JP2.

El circuito integrado U11 es una FPGA programable de la familia [Spartan-3](http://www.xilinx.com/support/documentation/spartan-3_data_sheets.htm)™ de Xilinx que interconecta y procesa las señales que van entre la tarjeta SML y los distintos módulos y circuitos integrados de la tarjeta.

Esta FPGA envía/recibe la señal del bus TDM hacia/desde el back-panel que a su vez reciben/transmiten las unidades CD40–IA4 o CD40-IQ2 y convierte los canales de audio banda base en canales PCM según Ley A/Mu g.711 para luego transferirlos a cada uno de los diferentes interfaces.

Las señales que se transmiten al exterior hacia el backpanel a través del conector P1 se pasan a través de unos buffers cuyos circuitos integrados corresponden a U7 y U13.

Las señales de sincronización del bus TDM (TDM\_SCLK y TDM\_FS) se envían a través del backpanel de forma diferencial y bajo nivel para minimizar las perturbaciones por ruido eléctrico. Dichos conversores diferenciales son U6 y U9.

El control de los tres leds DL1 se realiza mediante unas salidas conectadas directamente con la FPGA.

Los leds DL4.1 y DL4.2 se activan respectivamente al activar la señal <SYS\_ACTV> desde el exterior (llevándola a tierra) o desde la señal interna <SYS\_ACTV\_PPC> procedente de la FPGA.

El resto de leds, DL2 y DL3 se utilizan para indicar el estado de cada una de las dos líneas Ethernet a través de los controladores de red U14 y U12.

Dispone de un canal RS232 (U21) con salida al exterior hacia el conector J3 para labores de mantenimiento.

# OPERACIÓN

Una vez que la tarjeta está insertada en el backpanel y correctamente alimentada, el proceso de arranque comienza automáticamente.

Este proceso de arranque puede verificarse conectando un cable serie desde un PC hasta el conector J3 de la tarjeta CGW-CD40 y ejecutando una consola de puertos serie en el PC.

La primera fase de arranque consiste en la ejecución de un programa <uboot> residente en la memoria FLASH de la SML. Al finalizar esta fase, el programa <uboot> descomprime el nucleo del sistema operativo Linux contenido también en la memoria FLASH de la SML y lo carga en RAM para después ejecutarlo.

A continuación, transfiere el programa del DSP desde la memoria FLASH de la SML hacia la RAM del DSP.

Finalmente, se arranca el DSP y la aplicación de la CGW con todos sus procesos asociados.

## LEDS

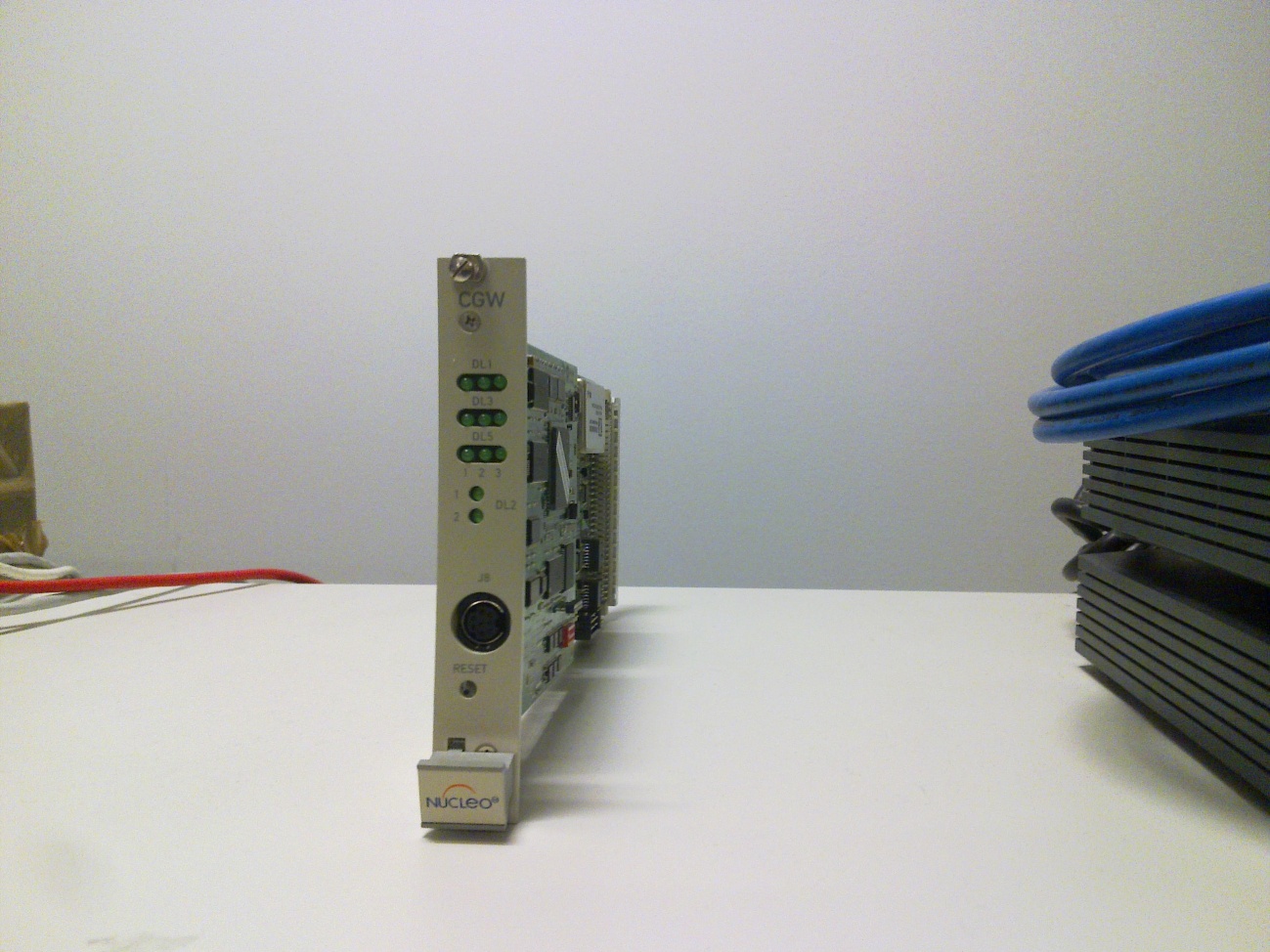


Figura . Vista frontal CGW

El significado de los leds del frontal es el siguiente:

**DL1.1:** Actividad de la CGW:

* Un parpadeo por segundo: Recursos configurados.
* Dos parpadeos por segundo: Comunicación con el DSP.
* Tres parpadeos cada segundo: Recursos configurados y comunicación con el DSP.
* Si se está actualizando el software de la CGW este led parpadea de forma rápida y continua mientras el software se actualiza.

**DL1.2:** Actividad del DSP:

* ON: DSP reseteado, sin arrancar.
* OFF: Si el DL1.1 está activo, indica que las comunicaciones estan correctas.
* PARPADEANDO regularmente: No tiene comunicación con la CGW.
* PARPADEANDO irregularmente: el número de veces que parpadea indica el número de recursos que tiene configurado el DSP.

**DL1.3:** Indica reset DSP

Los tres leds siguientes se refieren al primer interfaz de red ETH1:

**DL3.1:** Estado del enlace:

* **OFF**: No hay conectividad física con la red
* **ON**: Conectividad física con la red

**DL3.2:** Velocidad de la red:

* **OFF: 10 Mbps**
* **ON: 100 Mbps**

**DL3.3:** Estado de actividad: Se enciende cuando se envían y reciben tramas por el interfaz de red.

Y los siguientes tres leds se refieren al segundo interfaz de red ETH2 y su indicación depende de la versión la tarjeta:

Para la versión N021A:

**DL5.1:** Estado de actividad: Se enciende cuando se envían y reciben tramas por el interfaz de red.

**DL5.2:** Velocidad de la red:

* **OFF**: 10 Mbps
* **ON**: 100 Mbps

**DL5.3:** Estado del enlace:

* **OFF**: No hay conectividad física con la red
* **ON**: Conectividad física con la red

Y para la versión N021B:

**DL5.1:** Estado del enlace:

* **OFF**: No hay conectividad física con la red
* **ON**: Conectividad física con la red

**DL5.2:** Velocidad de la red:

* **OFF**: 10 Mbps
* **ON**: 100 Mbps

**DL5.3:** Estado de actividad: Se enciende cuando se envían y reciben tramas por el interfaz de red.

Los dos últimos leds indican si la tarjeta CGW está activa o no. Esta indicación es útil para sistemas con dualidad en las que de dos tarjetas CGW, sólamente una está operativa:

**DL2.1**: Petición de tarjeta operativa desde el exterior (Llevando a tierra la señal SYS\_ACTV – pin 19A/C -):

* **OFF**: Inactiva
* **ON**: Activa

**DL2.2**: Indicación de de tarjeta operativa:

* **OFF**: Inactiva
* **ON**: Activa

# CONFIGURACIÓN

## JUMPERS

**JP1 = OFF**

Si se conecta el jumper J1 se evita la carga de la programación de la FPGA con la información almacenada en la memoria U16. Esta opción sólo se debe usar para pruebas en fábrica. Por defecto debe estar desconectado.

**JP2 = OFF**

JP2 es el reset del procesador DSP. Por lo tanto debe estar desconectado por defecto.

# CONEXIONADO

## CONECTOR P1

El conector P1, del tipo DIN41612 64-pines (32 a+c) Macho es el conector principal de la tarjeta y por este pasan todas las señales necesarias para comunicarse con el exterior y las tarjetas que contienen los interfaces.

A continuación se detallan todas las señales de dicho conector:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| |  |  |  | | --- | --- | --- | | **PIN** | **SEÑAL** | **DESCRIPCIÓN** | | **1A** | GND-IN | Ground/Masa | | **2A** |  |  | | **3A** | VCC-IN | Alimentación | | **4A** |  |  | | **5A** | L/R | Posición Left/Right en bastidor | | **6A** | TDM\_DR1 | Entrada a TDM1 | | **7A** | BP\_TDM\_DX1 | Salida de TDM1 | | **8A** | TDM\_DR2 | Entrada a TDM2 | | **9A** | BP\_TDM\_DX2 | Salida de TDM2 | | **10A** | TDM\_DR3 | Entrada a TDM3 | | **11A** | BP\_TDM\_DX3 | Salida de TDM3 | | **12A** | BP\_SPI\_MOSI | Salida SPI | | **13A** | SPI\_MISO | Entrada SPI | | **14A** | BP\_SPI\_CS | SPI Chip-Select | | **15A** | BP\_SPI\_ADD0 | Bit0 Dirección SPI | | **16A** | BP\_SPI\_ADD1 | Bit1 Dirección SPI | | **17A** | BP\_SPI\_ADD2 | Bit2 Dirección SPI | | **18A** | BP\_SPI\_ADD3 | Bit3 Dirección SPI | | **19A** | SYS\_ACTV | Activa la tarjeta | | **20A** | +3V3 | Salida de alimentación a 3.3V | | **21A** | BP\_SPI\_CSE | SPI Chip-Select EEPROM | | **22A** | SYS\_ACTV\_1 | Salida activación slave 1 | | **23A** | SYS\_ACTV\_2 | Salida activación slave 2 | | **24A** | SYS\_ACTV\_3 | Salida activación slave 3 | | **25A** | SYS\_ACTV\_4 | Salida activación slave 4 | | **26A** | ETH1\_P45 | Referencia a GND Ethernet 2 | | **27A** | ETH1\_P1 | Tx+ Ethernet 1 | | **28A** | ETH1\_P3 | Rx+ Ethernet 1 | | **29A** | ETH2\_P45 | Referencia a GND Ethernet 2 | | **30A** | ETH2\_P1 | Tx+ Ethernet 2 | | **31A** | ETH2\_P3 | Rx+ Ethernet 2 | | **32A** | GND-IN | Ground/Masa | | |  |  |  | | --- | --- | --- | | **PIN** | **SEÑAL** | **DESCRIPCIÓN** | | **1C** | GND-IN | Ground/Masa | | **2C** |  |  | | **3C** | VCC-IN | Alimentación | | **4C** |  |  | | **5C** | EXT\_CLK | Reloj externo | | **6C** | BP\_TDM\_SCLK+ | Reloj de Bit – TDM (+) | | **7C** | BP\_TDM\_SCLK- | Reloj de Bit – TDM (-) | | **8C** | BP\_TDM\_FS+ | Sincro de Trama – TDM (+) | | **9C** | BP\_TDM\_FS- | Sincro de Trama – TDM (-) | | **10C** | TDM\_DR4 | Entrada a TDM4 | | **11C** | BP\_TDM\_DX4 | Salida de TDM4 | | **12C** | BP\_SPI\_CLK | Reloj SPI | | **13C** |  |  | | **14C** | REF\_CLK1 | Reloj de Referencia 1 | | **15C** | REF\_CLK2 | Reloj de Referencia 2 | | **16C** |  |  | | **17C** |  |  | | **18C** |  |  | | **19C** | SYS\_ACTV | Activa la tarjeta | | **20C** | +5V | Salida de alimentación a 5V | | **21C** | RESETN | Reset | | **22C** | SYS\_ACTV\_1 | Salida activación slave 1 | | **23C** | SYS\_ACTV\_2 | Salida activación slave 2 | | **24C** | SYS\_ACTV\_3 | Salida activación slave 3 | | **25C** | SYS\_ACTV\_4 | Salida activación slave 4 | | **26C** | ETH1\_P78 | Referencia a GND Ethernet 2 | | **27C** | ETH1\_P2 | Tx- Ethernet 1 | | **28C** | ETH1\_P6 | Rx- Ethernet 1 | | **29C** | ETH2\_P78 | Referencia a GND Ethernet 2 | | **30C** | ETH2\_P2 | Tx- Ethernet 2 | | **31C** | ETH2\_P6 | Rx- Ethernet 2 | | **32C** | GND-IN | Ground/Masa | |

Tabla . Mapa Conector P1

## PUERTO DE MANTENIMIENTO

La tarjeta CGW dispone en su parte frontal de un conector (J3) MINIDIN de 8 pines que se puede utilizar para labores de mantenimiento y de carga de software.



Figura . Pinout Puerto Mantenimiento

Se trata de un puerto que cumple con la norma RS232 cuyo pinout se describe a continuación:

|  |  |  |  |
| --- | --- | --- | --- |
| **PIN** | **SEÑAL** | **DIRECCIÓN** | **DESCRIPCIÓN** |
| **1** |  |  |  |
| **2** | TX |  | Transmisión |
| **3** | CTS |  | Clear To Send |
| **4** |  |  |  |
| **5** | GND |  | Ground |
| **6** |  |  |  |
| **7** | RX |  | Recepción |
| **8** | RTS |  | Request To Send |

Tabla . Pinout Puerto Mantenimiento (J3)

## PUERTO JTAG

La tarjeta CGW-CD40 dispone de un puerto JTAG cuyo conector es P2 que puede ser usado para actualizar el firmware de la FPGA (U11) y también para realizar un test de verificación de pistas con la ayuda de la herramienta adecuada.

El pinout de este puerto es el siguiente:

|  |  |  |  |
| --- | --- | --- | --- |
| **PIN** | **SEÑAL** | **DIRECCIÓN** | **DESCRIPCIÓN** |
| **1** | +3V3 |  | Alimentación 3.3V DC |
| **2** | GND |  | GND |
| **3** | TCK |  | Clock |
| **4** | TDI |  | Entrada |
| **5** | TDO |  | Salida |
| **6** | TMS |  | Maquina Estados |

Tabla 3. Pinout Puerto JTAG (P2)

## PUERTO DSP TEST

La tarjeta CGW-CD40 dispone de otro puerto JTAG cuyo conector es P3 que se usa normalmente para probar el correcto funcionamiento del DSP (U15) y para labores de depuración de software del procesador DSP.

El pinout de este puerto es el siguiente:

|  |  |  |  |
| --- | --- | --- | --- |
| **PIN** | **SEÑAL** | **DIRECCIÓN** | **DESCRIPCIÓN** |
| **1** | +3V3 |  | Alimentación 3.3V DC |
| **2** | GND |  | GND |
| **3** | TCK |  | Clock |
| **4** | TDI |  | Entrada |
| **5** | TDO |  | Salida |
| **6** | TMS |  | Maquina Estados |

Tabla 4. Pinout Puerto DSP Test (P3)

# ESPECIFICACIONES

Alimentación: 24 V DC

Consumo aproximado en reposo (con módulo SML): 4W

Peso (sin módulo SML): 210 gr

Peso (con módulo SML): 263 gr

# GLOSARIO DE TÉRMINOS.

|  |  |
| --- | --- |
| **CGW** | CPU GateWay |
| **MOSFET** | Metal Oxide Semiconductor Field Effect Transistor |
| **FPGA** | Field Program Gate Array |
| **TDM** | Time Division Multiplexing |
| **IA4** | Interface Analógica 4 canales |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |